

การออกแบบและการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปตัววี

จิรวัดน์ ปานกลาง¹ วิสุทธิ ฐิติรุ่งเรือง²
ศุภกัลย์ วัฒนการุณ³ และ ชีรพร มลทวีไพศาล⁴
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้เสนอวิธีการออกแบบและสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ให้มีรูปแบบของช่องทางเดินกระแสในแนวตั้ง แทนที่ช่องทางเดินกระแสในแนวผิวของผลึก เพื่อจุดประสงค์ในการปรับปรุงประสิทธิภาพในการนำกระแสของทรานซิสเตอร์โครงสร้างนี้ให้สูงขึ้นกว่าเดิม โดยช่องทางเดินกระแสรูปตัววีเป็นช่องทางเดินกระแสที่ถูกเลือกมาดำเนินการสร้างด้วยรูปแบบที่เหมาะสมที่สุด ผลของการสร้างพบว่าทรานซิสเตอร์ชนิดพีและทรานซิสเตอร์ชนิดเอ็นที่มีช่องทางเดินกระแสรูปตัววี มีค่าทรานส์คอนดักแตนซ์สูงกว่าทรานซิสเตอร์ชนิดพีและทรานซิสเตอร์ชนิดเอ็นที่มีช่องทางเดินกระแสในแนวผิวของผลึกร้อยละ 71.23 และร้อยละ 73.98 ตามลำดับ

¹ อาจารย์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

² ผู้ช่วยศาสตราจารย์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

³ นักศึกษาระดับบัณฑิตศึกษา ภาควิชาวิศวกรรมไฟฟ้า

⁴ นักศึกษาทดลองวิจัยระดับบัณฑิตศึกษา ภาควิชาวิศวกรรมไฟฟ้า

Design and Fabrication of V-Channel CMOIS Transistors

Jirawath Parnklang¹ Wisut Titiroongruang²

Suppakun Wattanakaron³ and Teeraporn Montaveepaisarn⁴

King Mongkut's Institute of Technology Ladkrabang

Abstract

In this paper, the vertical channel CMOIS (Complementary Metal Oxide Intrinsic Semiconductor) transistors are designed and fabricated to substitute the planar channel CMOIS transistors. The goal of the research is to improve the higher current conductance of the transistors. The V-shape channel has been selected because it is the most suitable structure to fabricate. The results show that the process transconductance parameter of the P-channel and N-channel with the V-shape channel are 71.23 % and 73.98 % higher than the planar channel PMOIS and NMOIS respectively.

¹ Lecturer, Department of Electronic Engineering

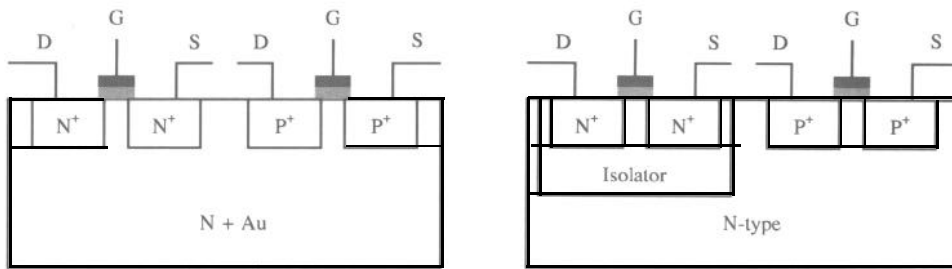
² Assistant Professor, Department of Electronic Engineering

³ Graduate Student, Department of Electrical Engineering

⁴ Research Student, Department of Electrical Engineering

บทนำ

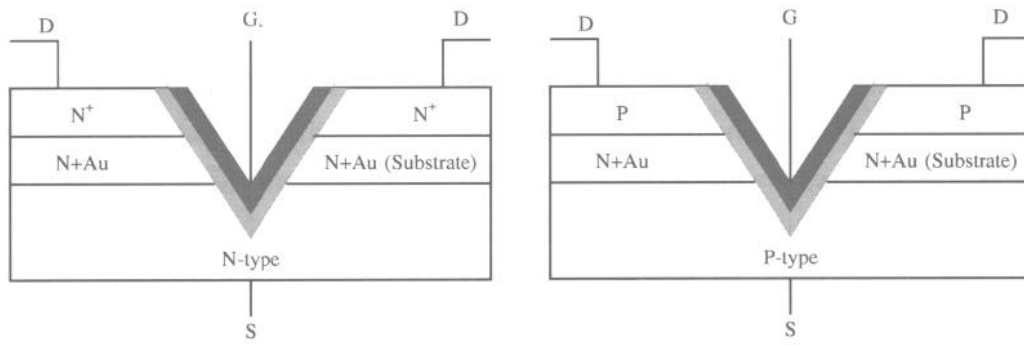
ทรานซิสเตอร์โครงสร้างแบบ CMOIS (Complementary Metal Oxide Intrinsic Semiconductor) [1] ดังรูปที่ 1 ซึ่งเป็นทรานซิสเตอร์ที่อาศัยผลของสนามไฟฟ้าควบคุมการนำกระแสในช่องทางเดินกระแส นั้น ต้องทำการเติมสารเจือของค่าเพื่อเปลี่ยนแปลงคุณสมบัติของแผ่นผลึกฐานรองซิลิกอนชนิดเอ็นของทรานซิสเตอร์ให้มีคุณสมบัติใกล้เคียงกับสารกึ่งตัวนำบริสุทธิ์ (intrinsic like) และใช้คุณสมบัตินี้ของฐานรองในการแยกทรานซิสเตอร์ชนิดเอ็นออกจากทรานซิสเตอร์ชนิดพี โดยไม่จำเป็นต้องใช้โครงสร้างของบ่อแยกหลังจากที่ทำการวิจัยและพัฒนาทรานซิสเตอร์โครงสร้างดังกล่าวในงานการออกแบบเพื่อประยุกต์ใช้งานในด้านต่างๆ เช่น ใช้งานเป็นส่วนประกอบของวงจรรวมทางตรรก [2] (digital circuit) และวงจรรวมเชิงอนุมาณ [3] (analog circuit) หรือใช้งานเป็นตัวตรวจจับความดัน [4] (pressure transducer) แล้วพบว่าจุดที่ควรแก้ปัญหาให้กับทรานซิสเตอร์โครงสร้างดังกล่าวคือ ควรปรับปรุงค่า k' (process transconductance parameter) ของทรานซิสเตอร์ให้มีค่าสูงขึ้น เพื่อเป็นการปรับปรุงประสิทธิภาพของวงจรในด้านต่างๆ ได้ เช่นวงจรที่สร้างขึ้นบนแผ่นผลึกซิลิกอนจะใช้พื้นที่บนแผ่นผลึกน้อยลง และถ้าขนาดของทรานซิสเตอร์มีค่าเท่าเดิมวงจรจะสามารถตอบสนองความถี่ได้สูงขึ้น เป็นต้น



รูปที่ 1 โครงสร้างทรานซิสเตอร์แบบ CMOIS

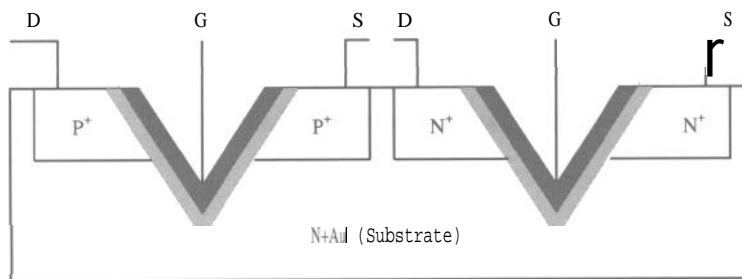
แนวความคิดในการพัฒนา

เป็นที่ทราบกันดีว่า ในการคัดเลือกกระนาบของแผ่นผลึกซิลิกอนเพื่อสร้างเป็นอุปกรณ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้าที่ต้องการให้กระแสไหลในแนวผิวของผลึก จำเป็นต้องเลือกกระนาบของผลึกเป็น $\langle 100 \rangle$ เนื่องจากเป็นระนาบที่เหมาะสมที่สุด ในการสร้างทรานซิสเตอร์โครงสร้างแบบ CMOIS ก็เช่นเดียวกัน แผ่นผลึกเริ่มต้นเป็นแผ่นผลึกซิลิกอนชนิดเอ็นที่มีระนาบ $\langle 100 \rangle$ และดำเนินการสร้างทรานซิสเตอร์เพื่อประยุกต์ใช้งานในด้านต่างๆ และเพื่อปรับปรุงคุณสมบัติทางไฟฟ้าของวงจรที่สร้างขึ้นด้วยทรานซิสเตอร์โครงสร้างดังกล่าวนี้ จำเป็นอย่างยิ่งที่จะพัฒนาค่าทรานส์คอนดักแตนซ์ของกระบวนการสร้างให้มีค่าสูงขึ้น แนวทางในการพัฒนาที่ดีคือ ดำเนินการสร้างโดยทำให้แนวทางการเคลื่อนของประจุพาหะในช่องทางเดินกระแสของทรานซิสเตอร์เปลี่ยนจากแนวระนาบผิวของผลึกเป็นแนวตั้ง ดังรูปที่ 2



รูปที่ 2 ทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีทิศทางของช่องทางเดินกระแสในแนวตั้ง

จากรูปที่ 2 สามารถสังเกตเห็นได้ว่าผลของการออกแบบรูปทรงทางเรขาคณิตลักษณะนี้ทำให้ค่าความยาวของช่องทางเดินกระแสจะมีค่าลดลง เมื่อความยาวช่องทางเดินกระแสลดลงแล้ว สามารถทำให้ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์มีค่าสูงขึ้นไปด้วย แต่ทรานซิสเตอร์โครงสร้างแบบ CMOIS ไม่สามารถสร้างโดยใช้โครงสร้างดังรูปที่ 2 ได้ เนื่องจากทรานซิสเตอร์โครงสร้างแบบ CMOIS จำเป็นต้องทำการเติมสารเจือทองคำเข้าไปที่ฐานรอง ซึ่งสารเจือดังกล่าวจำเป็นต้องเคลื่อนที่เข้าไปในช่องทางเดินกระแสด้วย ดังนั้นแนวทางอันหนึ่งที่เป็นไปได้คือ ทำการสร้างช่องทางเดินกระแสให้เป็นรูปตัววีแทน ดังรูปที่ 3 ซึ่งวิธีนี้เป็นวิธีที่เหมาะสมกับทรานซิสเตอร์โครงสร้างแบบ CMOIS เพราะในบริเวณช่องทางเดินกระแสสามารถเติมสารเจือทองคำเข้าไปได้ แต่วิธีดังกล่าวนี้ยังมีข้อด้อยคือไม่สามารถลดค่าความยาวของช่องทางเดินกระแสลงได้



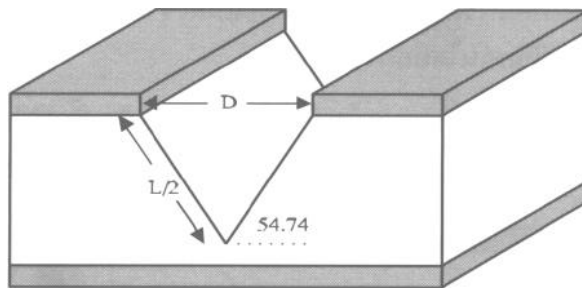
รูปที่ 3 แสดงโครงสร้างที่เหมาะสมของช่องทางเดินกระแสในแนวตั้ง สำหรับทรานซิสเตอร์โครงสร้างแบบ CMOIS

การออกแบบและการสร้าง

การออกแบบจะดำเนินการออกแบบรูปทรงทางเรขาคณิตด้านบนของทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสรูปตัววี ในลักษณะเช่นเดียวกับทรานซิสเตอร์โครงสร้างแบบ CMOIS ที่มีช่องทางเดินกระแสในแนวระนาบผิวของผลึกดังที่ได้นำเสนอไปแล้ว ค่าความยาวของช่องทางเดินกระแสรูปตัววีที่เกิดขึ้นสามารถคำนวณได้ดังสมการที่ 1 และรูปที่ 4

$$L = \frac{D}{\cos 54.74} \quad (1)$$

โดยที่ L คือ ความยาวของช่องทางเดินกระแส
D คือ ขนาดของช่องต้นแบบ



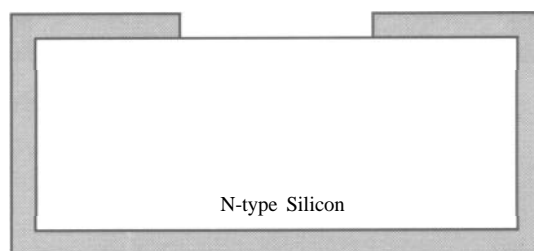
รูปที่ 4 ภาพตัดขวางของร่องตัววี

ในการทดลองได้ทำการกำหนดค่าขนาดของช่องต้นแบบเป็นขนาดต่างๆ คือ 10, 20, 30 และ 40 ไมโครเมตร ซึ่งจะมีความยาวของช่องทางเดินกระแสเป็น 17.322, 34.644, 51.967 และ 69.290 ไมโครเมตร ตามลำดับ และกำหนดความกว้างของช่องทางเดินกระแสเป็น 60, 80, 100 และ 120 ไมโครเมตร

ลำดับขั้นตอนกระบวนการสร้าง

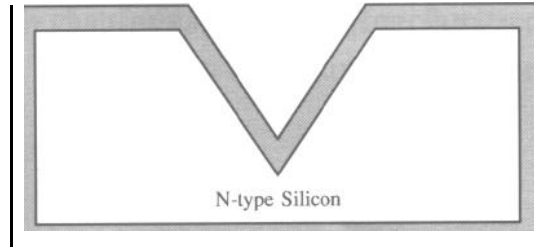
ในกระบวนการสร้างอุปกรณ์ทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพี มีรายละเอียดดังนี้

1. เตรียมแผ่นผลึกซิลิกอนชนิดเอ็น ระบายของผลึกคือ <100> ค่าพิทต์ความต้านทาน 8-12 โอห์ม-เซนติเมตร มีความหนาของแผ่นผลึกเป็น 400 ไมโครเมตร ทำการสร้างชั้นซิลิกอนไดออกไซด์ ความหนาประมาณ 5000 Å และเปิดช่องต้นแบบดังรูปที่ 5



รูปที่ 5 ภาพตัดขวางของผลึกเมื่อผ่านการเปิดช่องต้นแบบ

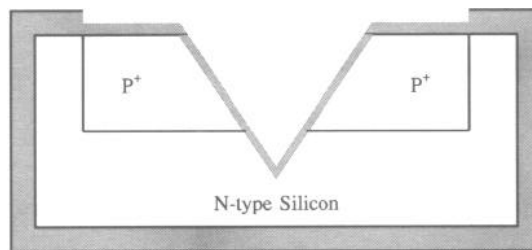
2. ทำการกัดร่องตัววีด้วย KOH 93 กรัม ต่อ น้ำ DI 200 ลูกบาศก์เซนติเมตร ที่อุณหภูมิคงที่ที่ 74 องศาเซลเซียส โดยจะมีอัตราการกัด 1 ไมโครเมตรต่อนาที แล้วทำการสร้างชั้นซิลิกอนไดออกไซด์ จะได้แผ่นผลึก ดังรูปที่ 6



รูปที่ 6 ภาพตัดขวางของผลึกเมื่อผ่านการกัดร่องตัววี

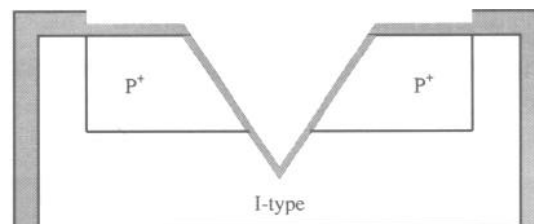
3. ทำการเปิดช่องเพื่อแพร่สารเจือโบรอน ด้วยแหล่งจ่ายสารเจือ BN (M-26) แล้วทำการขับลึก (drive-in) พร้อมทั้งสร้างชั้นซิลิกอนไดออกไซด์

4. ทำการเปิดช่องบริเวณเกทออกไซด์ แล้วทำการสร้างชั้นซิลิกอนไดออกไซด์ที่มีความบริสุทธิ์สูง ที่บริเวณเกท มีความหนาประมาณ 1200 Å จะได้แผ่นผลึกดังรูปที่ 7



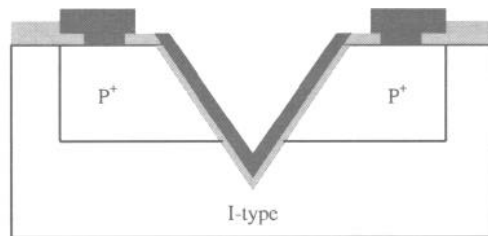
รูปที่ 7 ภาพตัดขวางของผลึกเมื่อผ่านการสร้างเกทออกไซด์

5. ทำการเปิดชั้นซิลิกอนไดออกไซด์ด้านหลัง ทำการเคลือบทองคำในสุญญากาศ แล้วทำการขับลึกทองคำ และทำให้เย็นลงอย่างรวดเร็วทำให้ฐานรองเปลี่ยนแปลงคุณสมบัติเป็นฐานรองชนิดอินทรีนสิด จะได้แผ่นผลึกดังรูปที่ 8



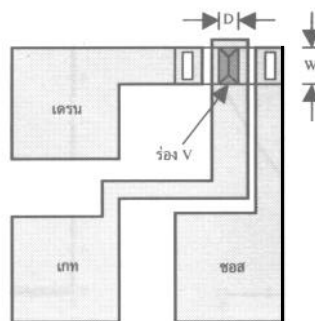
รูปที่ 8 ภาพตัดขวางของผลึกเมื่อผ่านการขับลึกทองคำ

6. ทำการเปิดช่องซิลิกอนไดออกไซด์เพื่อทำส่วนสัมผัสของขั้วไฟฟ้า โดยทำการเคลือบชั้นอลูมิเนียมในสุญญากาศ ทำการกัดลวดลายอลูมิเนียมด้วยสารละลายที่มีส่วนผสมของกรดฟอสฟอริกเป็นหลัก ที่อุณหภูมิประมาณ 50 องศาเซลเซียส เป็นเวลา 1-2 นาที แล้วทำการอบ (sintering) เพื่อให้ส่วนโลหะกับเนื้อซิลิกอน ในส่วนของขั้วสัมผัสเป็นรอยสัมผัสแบบโอห์มมิก จะได้แผ่นผลึกดังรูปที่ 9



รูปที่ 9 ภาพตัดขวางของผลึกเมื่อผ่านการกัดลวดลายอลูมิเนียม

และในกระบวนการสร้างอุปกรณ์ทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น ก็ทำตามลักษณะเช่นเดิมแต่ทำการเปลี่ยนสารเจือที่ทำการแพร่จากโบรอนเป็นฟอสฟอรัส และจะได้ตัวอย่างภาพถ่ายของอุปกรณ์ที่สร้างเสร็จแล้วดังรูปที่ 10



รูปที่ 10 ภาพตัวอย่างของอุปกรณ์ที่สร้างเสร็จแล้ว

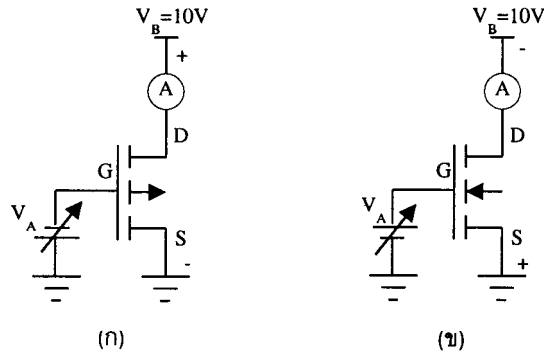
การทดลองและผลการทดลอง

ในการทดลองได้ทำการทดสอบคุณสมบัติทางไฟฟ้าของทรานซิสเตอร์โครงสร้างแบบ CMOIS เพื่อใช้พิจารณาออกแบบในการสร้างวงจรรวม ซึ่งคุณสมบัติทางไฟฟ้าที่ทำการทดสอบคือ ค่าแรงดันขีดเริ่ม (threshold voltage) คุณสมบัติความสัมพันธ์ระหว่างกระแสและแรงดัน และค่าทรานส์คอนดักแตนซ์ ซึ่งมีวิธีการทดลองดังต่อไปนี้

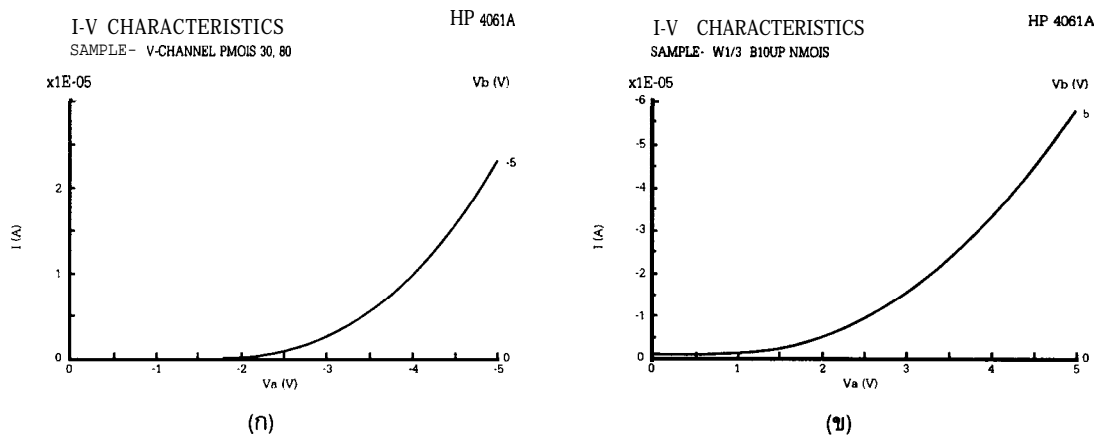
แรงดันขีดเริ่ม

ส่วนประกอบของเครื่องในการหาค่าแรงดันขีดเริ่มจะประกอบด้วยแหล่งจ่ายไฟเลี้ยงสองค่า (V_A และ V_B) และเครื่องวัดกระแสโดยการต่อวงจรดังรูปที่ 11 ในการทดสอบจะจ่ายแรงดันไฟเลี้ยง เทรนซอสสองที่ 10 โวลต์ เปลี่ยนแรงดันที่ขั้วเกตจาก 0 โวลต์ ถึง -10 โวลต์ สำหรับทรานซิสเตอร์

โครงสร้างแบบ CMOIS ชนิดพี และจาก 0 โวลต์ ถึง 10 โวลต์ สำหรับทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น และทำการบันทึกค่ากระแสที่ไหลผ่านทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งผลการทดสอบจะได้ดังรูปที่ 12



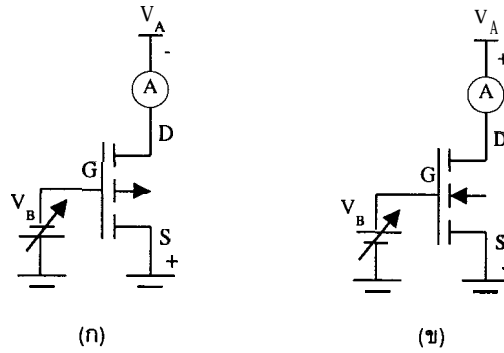
รูปที่ 11 วงจรหาค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ CMOIS (ก) ชนิดพี (ข) ชนิดเอ็น



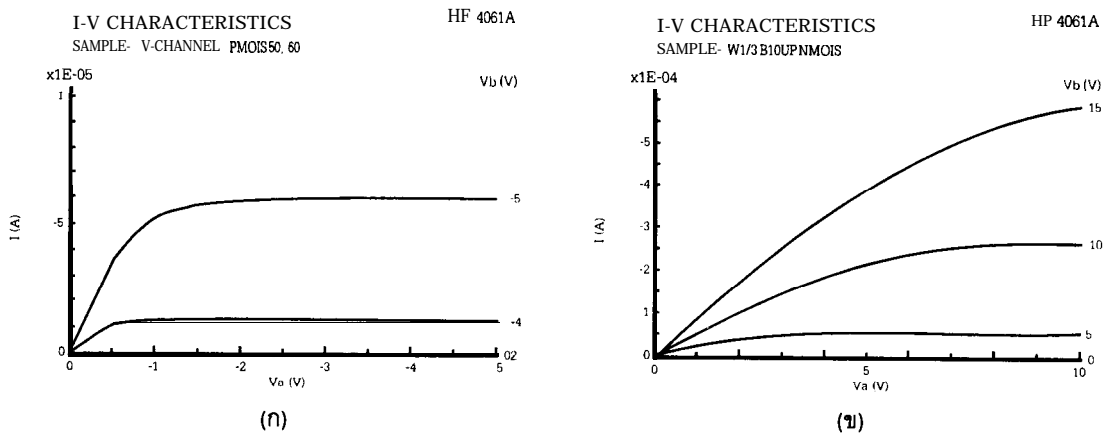
รูปที่ 12 ผลการทดสอบค่าแรงดันขีดเริ่มของทรานซิสเตอร์โครงสร้างแบบ CMOIS (ก) ชนิดพี (ข) ชนิดเอ็น

ความสัมพันธ์ระหว่างกระแสและแรงดัน

ในการวัดคุณสมบัติกระแสและแรงดันจะทำการต่อวงจรดังรูปที่ 13 การทดสอบจะแปรค่า V_B จาก 0 โวลต์ ถึง -10 โวลต์สำหรับทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพี และจาก 0 โวลต์ ถึง 10 โวลต์ สำหรับทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น และทำการเปลี่ยนแปลงค่าแรงดัน V_A ที่จ่ายให้กับขั้วเดรนและซอส และทำการบันทึกค่ากระแสที่ไหลผ่านทรานซิสเตอร์โครงสร้างแบบ CMOIS ซึ่งผลการทดสอบจะได้ ดังรูปที่ 14



รูปที่ 13 วงจรที่ใช้วัดคุณสมบัติทางกระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ CMOIS (ก) ชนิดพี (ข) ชนิดเอ็น



รูปที่ 14 ผลการทดสอบค่ากระแสและแรงดันของทรานซิสเตอร์โครงสร้างแบบ CMOIS (ก) ชนิดพี (ข) ชนิดเอ็น

ค่าทรานส์คอนดักแตนซ์ (k')

การคำนวณค่าทรานส์คอนดักแตนซ์สามารถคำนวณได้โดยการนำค่ากระแสและแรงดันที่ได้จากกราฟคุณสมบัติทางกระแสและแรงดัน แทนค่าลงในสมการกระแสและแรงดันของทรานซิสเตอร์สมการที่ 2 ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว และสมการที่ 3 ในกรณีที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว

$$I_{DS} = \frac{\beta}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad ; \quad V_{DS} < V_{GS} - V_T \quad (2)$$

$$I_{DS} = \frac{\beta}{2} [V_{GS} - V_T]^2 \quad ; \quad V_{DS} \geq V_{GS} - V_T \quad (3)$$

เมื่อแทนค่า $\beta = k' \left(\frac{W}{L}\right)$ ลงไปจะสามารถหาค่า k' ได้ดังสมการที่ 4 และสมการที่ 5

สำหรับกรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว

$$k' = \frac{2 I_D L}{W [2(V_G - V_T) V_{DS} - V_{DS}^2]} \quad (4)$$

สำหรับกรณีที่ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว

$$k' = \frac{2 I_D L}{W (V_G - V_T)^2} \quad (5)$$

โดยที่ I_{DS} คือ ค่ากระแสที่ไหลผ่านช่องทางเดินกระแส

β คือ ค่า devices transconductance parameter

k' คือ ค่า process transconductance parameter

W คือ ค่าความกว้างของช่องทางเดินกระแส

และในการหาค่าทรานส์คอนดักแตนซ์อีกวิธีหนึ่งสามารถวิเคราะห์ได้จากสมการของกระแสและแรงดันของทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัวสมการที่ 3 ซึ่งสามารถแปลงได้เป็นสมการที่ 6

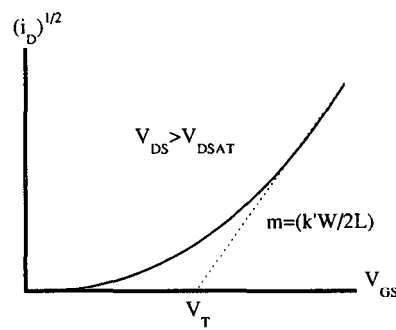
$$I_{DS}^{1/2} = \left[\frac{k' W}{2L} \right]^{1/2} V_{GS} - \left[\frac{k' W}{2L} \right]^{1/2} V_T \quad (6)$$

ซึ่งอยู่ในรูปแบบของสมการ $Y = mX + b$

โดย

$$\begin{aligned} Y &= I_{DS}^{1/2} \\ X &= V_{GS} \\ m &= \left(\frac{k' W}{2L} \right)^{1/2} \\ b &= - \left(\frac{k' W}{2L} \right)^{1/2} V_T \end{aligned} \quad (7)$$

จากสมการที่ 7 จะสามารถหาค่าทรานส์คอนดักแตนซ์ได้จากกราฟของแรงดันขีดเริ่มดังสมการที่ 8 และรูปที่ 15



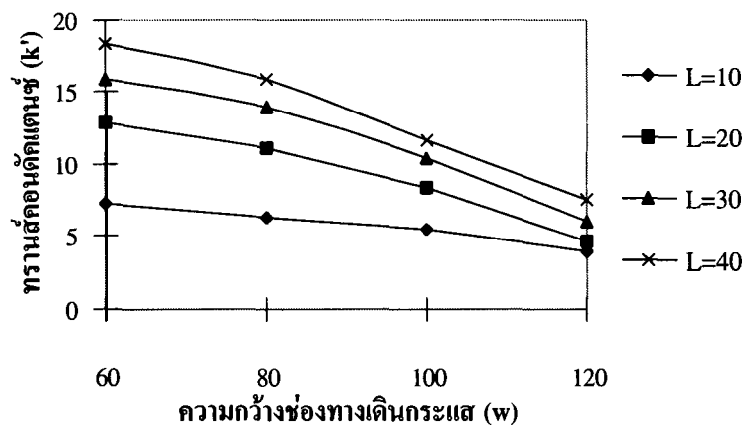
รูปที่ 15 การหาค่าทรานส์คอนดักแตนซ์

$$k' = \left(\frac{2Lm}{W} \right) \quad (8)$$

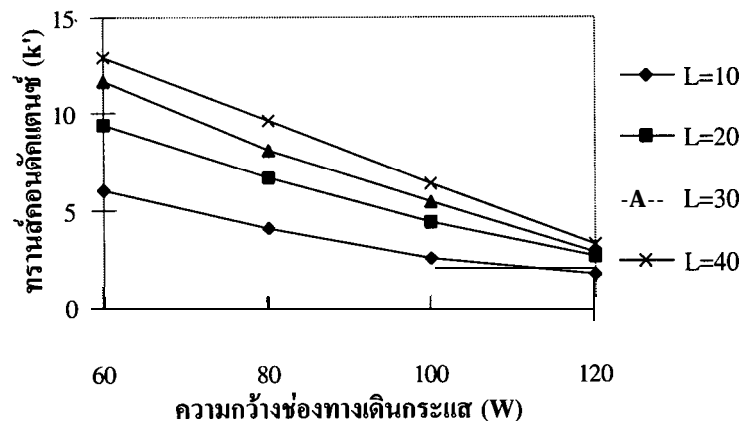
เมื่อ m คือ ความชันของเส้นตรงที่สัมผัสเส้นโค้งของกราฟแรงดันขีดเริ่ม

ผลการทดลอง

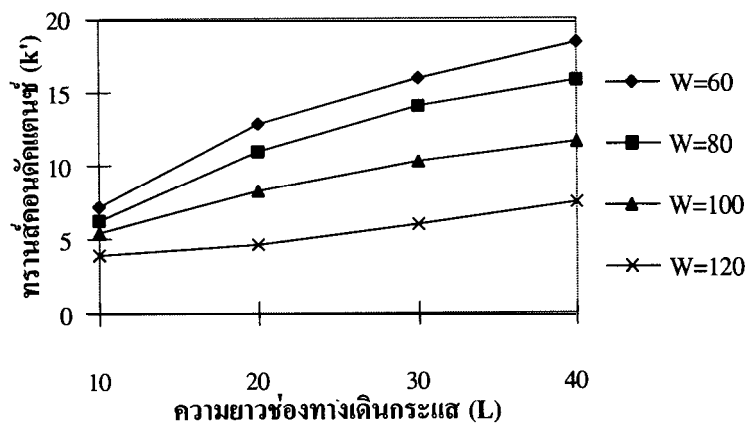
จากวิธีการทดลองต่างๆ ที่ผ่านมามีทำให้สามารถสรุปผลการทดลองของการเปลี่ยนแปลงค่าทรานส์คอนดักแตนซ์ เนื่องจากการเปลี่ยนแปลงของค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพีและชนิดเอ็นได้ดังรูปที่ 16 และรูปที่ 17 ตามลำดับ และการเปลี่ยนแปลงค่าทรานส์คอนดักแตนซ์ เนื่องจากการเปลี่ยนแปลงของค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพีและชนิดเอ็นได้ดังรูปที่ 18 และรูปที่ 19 ตามลำดับ



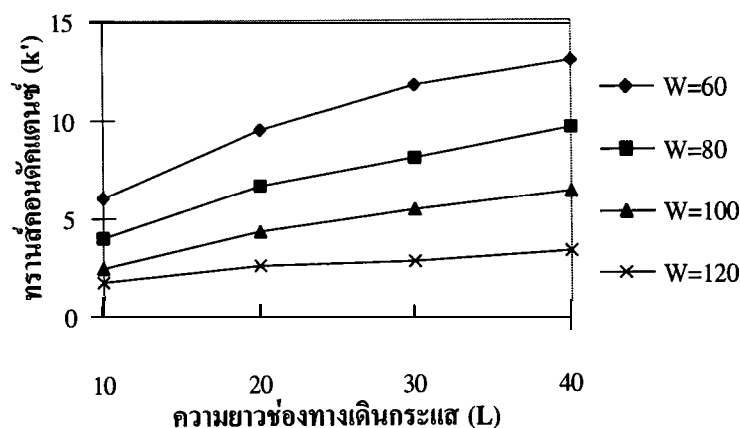
รูปที่ 16 กราฟความสัมพันธ์ของค่าทรานส์คอนดักแตนซ์และค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพี



รูปที่ 17 กราฟความสัมพันธ์ของค่าทรานส์คอนดักแตนซ์และค่าความกว้างของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น



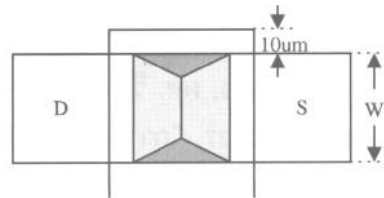
รูปที่ 18 กราฟความสัมพันธ์ของค่าทรานส์คอนดักแตนซ์และค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดพี



รูปที่ 19 กราฟความสัมพันธ์ของค่าทรานส์คอนดักแตนซ์และค่าความยาวของช่องทางเดินกระแสของทรานซิสเตอร์โครงสร้างแบบ CMOIS ชนิดเอ็น

สรุปผลการทดลอง

จากผลการทดลองพบว่าค่าทรานส์คอนดักแตนซ์จะมีการเปลี่ยนแปลงขึ้นอยู่กับค่าความกว้างของช่องทางเดินกระแสและค่าความยาวของช่องทางเดินกระแส นั่นคือถ้าเพิ่มความกว้างของช่องทางเดินกระแสจะทำให้ค่าทรานส์คอนดักแตนซ์ลดลง และถ้าเพิ่มความยาวของช่องทางเดินกระแสจะทำให้ค่าทรานส์คอนดักแตนซ์เพิ่มขึ้น ซึ่งค่าที่ได้ควรจะมีค่าคงที่ไม่ขึ้นกับค่าความกว้างของช่องทางเดินกระแสและค่าความยาวของช่องทางเดินกระแส ซึ่งผลการทดลองที่เป็นเช่นนี้สามารถอธิบายได้ว่า การที่ค่าทรานส์คอนดักแตนซ์เปลี่ยนแปลงกับค่าความกว้างของช่องทางเดินกระแส เนื่องจากว่าในกระบวนการสร้างขณะทำลวดลายอลูมิเนียมและชั้นฉนวนออกไซด์ได้ทำการซ้อนทับ (overlap) ออกไปจากบริเวณเกต 10 ไมโครเมตร ซึ่งจะมีผลต่อค่าทรานส์คอนดักแตนซ์ แต่ในกรณีที่ค่าความกว้างของช่องทางเดินกระแสมีค่าเพิ่มขึ้นจะสามารถทำให้ค่านัยสำคัญของผลดังกล่าวลดลง แสดงดังรูปที่ 20



รูปที่ 20 ลวดลายอลูมิเนียมที่มีการเหลื่อมออกไปจากบริเวณเกต

โดยจะพบว่าค่าความกว้างของช่องทางเดินกระแสสูงขึ้นมากกว่าระยะซ้อนทับมากๆ จะทำให้ค่าทรานส์คอนดักแตนซ์เริ่มเข้าใกล้ค่าคงที่ค่าหนึ่ง ซึ่งเป็นค่าที่มีความถูกต้อง สำหรับค่าทรานส์คอนดักแตนซ์เปลี่ยนแปลงกับค่าความยาวของช่องทางเดินกระแส นั้น สามารถอธิบายได้ว่าการวัดค่าทรานส์คอนดักแตนซ์ได้ทำการวัดในช่วงอิมิตัว ซึ่งช่องทางเดินกระแสจะถูกสนามไฟฟ้าของช่วงปลอดพาหะผลักดันออกทำให้แคบลงและหดสั้นกว่าปกติมากดังรูปที่ 21 ทำให้ค่าทรานส์คอนดักแตนซ์มีค่าลดลงที่ค่าความยาวของช่องทางเดินกระแสลดลง แต่ที่ค่าความยาวของช่องทางเดินกระแสเพิ่มขึ้นสามารถลดผลจากการขยายตัวของช่วงปลอดประจุได้ ซึ่งค่าทรานส์คอนดักแตนซ์ที่ได้จะมีค่าเข้าใกล้ค่าคงที่ค่าหนึ่ง ซึ่งเป็นค่าคงที่ที่มีความถูกต้อง



รูปที่ 21 การลดลงของความยาวของช่องทางเดินกระแส

จากการทดลองพบว่าค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ช่องทางเดินกระแสรูปตัววี ชนิดพีและเอ็น มีค่าสูงกว่าทรานซิสเตอร์ชนิดพีและเอ็น ที่ช่องทางเดินกระแสในแนวผิวของผล็กร้อยละ 71.23 และร้อยละ 73.98 ตามลำดับ

เอกสารอ้างอิง

1. Jirawat Parnklang, Wisut Titiroongruang, Somkiat Supadech, Masamori Iida and Tateki Kurosu, 1995, "Electrical Characteristics of Au Doped Di CMOS FET's without Isolation Layer," *Proceedings of the School of Engineering*, Tokai University, Vol. XX, pp. 37-43
2. จิรวัดณ์ ปานกลาง, มนชนก ศรีเสื่อขาม, ผศ. วิสุทธิ์ ฐิติรุ่งเรือง และ รศ.ดร. สมเกียรติ ศุภเดช, 2536, "การออกแบบและการสร้างวงจรรวมชนิดทรานซิสเตอร์," *วารสารพระจอมเกล้าลาดกระบัง*, ปีที่ 1, ฉบับที่ 1, หน้า 27-31
3. อนุชา เรืองพานิช, จิรวัดณ์ ปานกลาง, ผศ. วิสุทธิ์ ฐิติรุ่งเรือง และ รศ.ดร. สมเกียรติ ศุภเดช, 2535, "ริงออกซิลเลเตอร์แบบซีมอยซ์," *การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 15*, สถาบันเทคโนโลยีพระจอมเกล้าธนบุรี, หน้า 3-21 ถึง 3-25
4. อัมพร โพธิ์ไย, จิรวัดณ์ ปานกลาง, ผศ. วิสุทธิ์ ฐิติรุ่งเรือง, รศ.ดร. สมเกียรติ ศุภเดช และ Prof. Dr. Masamori Iida, 2537, "การเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าของทรานซิสเตอร์โครงสร้างแบบ MOIS เนื่องจากความดัน," *การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 17*, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, หน้า 492-497