โครงสร้างและการออกแบบกระจกต้นแบบสำหรับดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติ

พีรศักดิ์ จันทร์งาม[1]

สถาบันเทคโนโลยีปทุมวัน เขตปทุมวัน กรุงเทพ 10330

รับเมื่อ 28 มกราคม 2551 ตอบรับเมื่อ 21 พฤษภาคม 2551

บทคัดย่อ

โครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่ได้ถูกนำเสนอ เพื่อให้สามารถนำไปสร้างเป็นอุปกรณ์เพื่อประยุกต์ใช้งานจริง ด้วยเงื่อนไขกระบวนการสร้างที่ง่ายขึ้นกว่าเดิม โดยใช้การแยกโดดด้วยรอยต่อ (Junction isolation) แทนการแยกโดดด้วย SOI ซึ่งโครงสร้างรีเซิฟ 3 มิตินี้มีประสิทธิผลในการเพิ่มแรงดันพังทลายให้สูงขึ้นกว่าโครงสร้างรีเซิฟ 2 มิติ ด้วยการเพิ่มโครงสร้างเรียงสลับระหว่าง NMOS กับ PMOS ตามแนวราบ นอกจากนี้ยังได้ทำการจำลองกระบวนการสร้างและออกแบบกระจกต้นแบบสำหรับการสร้างอุปกรณ์จริงต่อไปในอนาคต ซึ่งการจำลองกระบวนการสร้างทำให้ได้ทราบถึงเงื่อนไขต่างๆ ในกระบวนการสร้าง เพื่อให้ได้การกระจายตัวของสารเจือที่เหมาะสมตามเงื่อนไขของโครงสร้างรีเซิฟ รวมทั้งได้ทำการจำลองกระบวนการสร้างสำหรับโครงสร้างเรียงสลับของชั้น p^+ และชั้น n^+ ซึ่งเป็นส่วนประกอบที่สำคัญของโครงสร้างรีเซิฟ 3 มิติ ซึ่งในกรณีที่ใช้กระบวนการฝังไอออนที่โดส (dose) $5x10^{15}$ ซม.$^{-2}$ พลังงาน 50 keV แล้วทำการแอลนีล (anneal) ที่อุณหภูมิ 550 ℃ เป็นเวลา 30 นาทีและความกว้างของแต่ละชั้นเท่ากับ 5 ไมครอนนั้น โครงสร้างเรียงสลับของชั้น p^+ และชั้น n^+ จะปรากฏอย่างชัดเจน และได้มีการนำเสนอแนวคิดใหม่ๆ ในการออกแบบกระจกต้นแบบ เช่นใช้โครงสร้างแบบลู่วิ่งและฟิลด์เพลต สำหรับป้องกันการพังทลายก่อนเวลาอันสมควร ทั้งนี้เพื่อช่วยให้โครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่นี้ มีแรงดันพังทลายที่สูงขึ้น

คำสำคัญ : รีเซิฟ 3 มิติ / ดับเบิ้ลเกตดีมอสเฟต / การจำลองกระบวนการสร้าง / การออกแบบกระจกต้นแบบ

E-mail: cpeerasak@yahoo.com

[1] *ผู้ช่วยศาสตราจารย์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม คณะวิศวกรรมศาสตร์*

Structure and Mask Design for 3D RESURF Double-Gate DMOSFET

Peerasak Chantngarm [1]

Pathumwan Institute of Technology, Pathumwan, Bangkok 10330

Received 28 January 2008 ; accepted 21 May 2008

Abstract

A new 3D RESURF double-gate DMOSFET structure was proposed for simpler fabrication process optimization by using junction isolation (JI) technique instead of using SOI for isolation. The 3D RESURF structure is known to have higher breakdown voltage than the conventional 2D RESURF structure. This has been done by adding the alternative pattern of NMOS and PMOS in the horizontal direction. In addition, a process simulation has been done and masks have been designed for fabrication of real devices in the future. The simulation results suggest optimized fabrication process conditions in order to obtain appropriate dopant distribution required for the realization of RESURF structure. A process simulation has also been done for a p^+/n^+ alternative pattern which is an important part of 3D RESURF structures. In the case of using 50-keV ion implantation with dose of $5x10^{15}$ cm^{-2} followed by annealing at 550 ℃ for 30 minutes, when the width of p^+ and n^+ layer is 5 microns, the alternative pattern is very clear. Several new ideas have been introduced in the mask design, such as using a racetrack structure and field plate to prevent premature breakdown. The goal of the mask design is to further increase the breakdown voltage of this new 3D RESURF double-gate DMOSFET structure.

Keywords : 3D RESURF / Double-gate DMOSFET / Process Simulation / Mask Design

E-mail: cpeerasak@yahoo.com

[1] *Assistant Professor, Department of Electronics and Telecommunication Engineering. Faculty of Engineering.*

1. บทนำ

วงจรรวมเป็นแนวโน้มที่สำคัญอย่างหนึ่งทางอิเล็กทรอนิกส์ และในปัจจุบัน เทคโนโลยีด้านวงจรรวมประเภทกำลัง (Power integrated circuit) นับเป็นเทคโนโลยีหนึ่ง ที่มีส่วนช่วยในการเพิ่มประสิทธิภาพของระบบไฟฟ้าในงานประยุกต์ต่างๆ โดยเฉพาะในงานประยุกต์ที่ใช้กำลังช่วง 1 วัตต์ถึง 1 กิโลวัตต์ เช่น ในแหล่งจ่ายไฟของคอมพิวเตอร์และอุปกรณ์ทางสารสนเทศต่างๆ หรือใช้ในหน่วยควบคุมมอเตอร์ของรถยนต์และเครื่องใช้ไฟฟ้าในบ้านชนิดต่างๆ [1] ซึ่งภายในวงจรรวมประเภทกำลังนั้น จะรวมเอาทั้งสิ่งประดิษฐ์สารกึ่งตัวนำประเภทกำลัง วงจรควบคุม และวงจรอื่นๆ เข้าไว้ด้วยกัน โดยมีสิ่งประดิษฐ์สารกึ่งตัวนำประเภทกำลังเป็นองค์ประกอบที่สำคัญ

โครงสร้างรีเซิฟ (RESURF) เป็นโครงสร้างที่มีจุดเด่นหลายประการเช่น ความกว้างของเขตปลอดพาหะที่บริเวณรอยต่อที่จะเกิดการพังทลาย จะเพิ่มขึ้นเร็วกว่าในโครงสร้างทั่วไป ทำให้มีแรงดันพังทลายที่สูงกว่า อีกทั้งยังมีความต้านทานสถานะออน (on-resistance) ที่ต่ำกว่า และมีลักษณะโครงสร้างที่เหมาะสมกับการนำมาใช้ในวงจรรวม [1-3] ทำให้เป็นโครงสร้างที่ได้รับความนิยมอย่างมาก ในการนำมาประยุกต์ใช้เป็นสิ่งประดิษฐ์สารกึ่งตัวนำประเภทกำลังชนิดต่างๆ และถูกนำใช้ในวงจรรวมประเภทกำลังอย่างแพร่หลาย นับตั้งแต่ถูกคิดค้นขึ้นมาในปี 1979 โดยเฉพาะอย่างยิ่งในช่วงระยะประมาณ 10 ปีที่ผ่านมานี้ เช่นใช้กับ LD-MOSFET [4-5] หรือใช้กับสารกึ่งตัวนำชนิดอื่นนอกเหนือจากซิลิคอน [6-9]

นอกจากนี้ยังมีแนวโน้มใหม่ที่น่าสนใจอีกประการหนึ่งในการพัฒนาทำให้โครงสร้างรีเซิฟมีแรงดันพังทลายที่สูงขึ้นไปอีก โดยการเพิ่มรอยต่อของโครงสร้างรีเซิฟเข้าไปอีก 1 มิติ ซึ่งจะส่งผลกระทบทำให้ความกว้างของเขตปลอดพาหะจะเพิ่มขึ้นเร็วขึ้นอีก โครงสร้างชนิดใหม่นี้ได้รับการนำเสนอเป็นครั้งแรก โดยกลุ่มของ F. Udrea โดยใช้ชื่อว่าโครงสร้างรีเซิฟ 3 มิติ จากผลการจำลองด้วยซอฟแวร์พบว่าโครงสร้างรีเซิฟ 3 มิติ มีแรงดันพังทลายที่สูงกว่า [10] และมีคุณสมบัติด้าน RF ที่ดีกว่า [11] เมื่อเปรียบเทียบกับโครงสร้างรีเซิฟ 2 มิติ ซึ่งตามทฤษฎีจะทำให้แรงดันทลายสูงขึ้นประมาณ 5 เท่า และความต้านทานสถานะออนลดลงประมาณ 5 เท่าเช่นเดียวกัน [10] โครงสร้างรีเซิฟ 3 มิติที่กลุ่มของ F. Udrea นำเสนอนั้นมีลักษณะเด่นคือใช้ฐานรองแบบ SOI ซึ่งแม้ว่าจะมีคุณสมบัติในการแยกโดดที่ดี แต่ก็จะทำให้รีเซิฟที่ได้บิดเบือนไปจากโครงสร้างรีเซิฟพื้นฐาน [2] โดยกลุ่มของ F. Udrea แก้ไขปัญหานี้ด้วยการปรับความหนาแน่นของสารเจือในแต่ละชั้น หรือความหนาของแต่ละชั้นในโครงสร้างให้เหมาะสม ซึ่งวิธีการนี้จะทำให้การออกแบบกระบวนการสร้างยุ่งยากและควบคุมผลลัพธ์ที่ได้ยากขึ้น เนื่องจากต้องหาเงื่อนไขความหนาแน่นของสารเจือ และความหนาของชั้นสารที่เหมาะสม นอกจากนี้ กลุ่มของ F. Udrea ได้มีการนำเสนอโครงสร้างรีเซิฟ 3 มิติเฉพาะส่วนที่สำคัญเท่านั้น จึงยังไม่สามารถสร้างเป็นอุปกรณ์ที่ใช้งานจริงได้ เนื่องจากประเด็นสำคัญอีกประการหนึ่งของโครงสร้างรีเซิฟ 3 มิติคือ จะต้องมีการเรียงสลับกันอย่างต่อเนื่อง ของชั้นรีเซิฟชนิดพีและชั้นรีเซิฟชนิดเอ็นตลอดทั้งโครงสร้าง

งานวิจัยที่นำเสนอในบทความฉบับนี้ เป็นการพัฒนาโครงสร้างรีเซิฟ 3 มิติชนิดใหม่ ต่อจากโครงสร้างรีเซิฟ 3 มิติของกลุ่ม F. Udrea โดยมีจุดประสงค์เพื่อให้สามารถนำไปสร้างเป็นอุปกรณ์เพื่อประยุกต์ใช้งานจริงได้ง่ายขึ้น และมีแรงดันพังทลายที่สูงขึ้น กล่าวคือได้พัฒนาให้เป็นโครงสร้างที่มีกระบวนการสร้างง่ายไม่ซับซ้อน เช่นใช้การแยกโดดด้วยรอยต่อ (Junction isolation) แทน SOI แม้ว่าจะมีคุณสมบัติในการแยกโดดที่ด้อยกว่า รวมทั้งได้ออกแบบโครงสร้างให้มีชั้นเดรนเอ็กเทนชั่น (drain extension) และมีฟิลด์เพรต (field plate) เป็นต้น นอกจากนี้ งานวิจัยชิ้นนี้ยังได้ทำการจำลองกระบวนการสร้าง อีกทั้งทำการออกแบบกระจกต้นแบบ เพื่อประโยชน์ในการสร้างอุปกรณ์จริงต่อไปในอนาคต โดยให้รีเซิฟ 3 มิติมีลักษณะเป็นโครงสร้างแบบลู่วิ่ง เพื่อการเรียงสลับที่ต่อเนื่องกับของชั้นรีเซิฟชนิดพีและชั้นรีเซิฟชนิดเอ็น

เนื้อหาของบทความฉบับนี้ประกอบด้วย ทฤษฎีพื้นฐานของโครงสร้างรีเซิฟโดยทั่วไปในหัวข้อที่ 2 โครงสร้างและหลักการทำงานของดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่ในหัวข้อที่ 3 การจำลองกระบวนการสร้างในหัวข้อที่ 4 การออกแบบกระจกต้นแบบในหัวข้อที่ 5 โดยในแต่ละหัวข้อได้มีการอภิปรายรวมอยู่ด้วย และสรุปใน

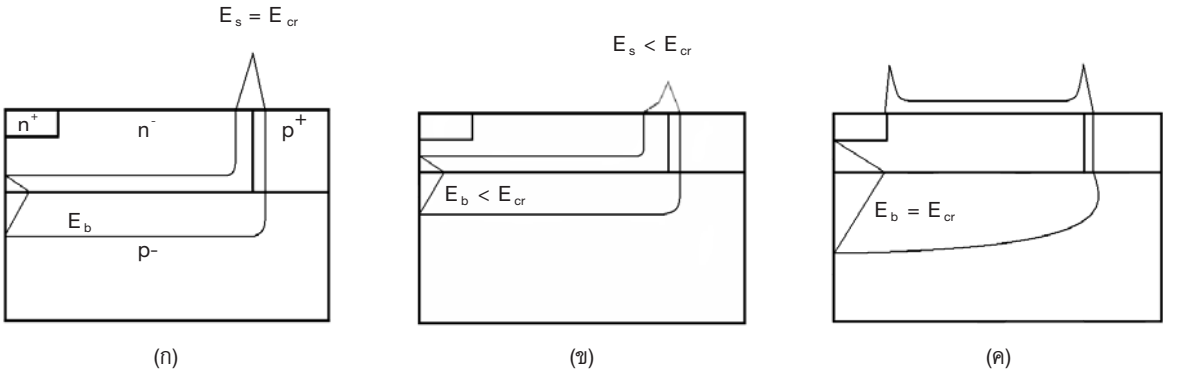
หัวข้อที่ 6

2. ทฤษฎีพื้นฐานของโครงสร้างรีเซิฟ

รีเซิฟ (RESURF) มาจากคำว่า REduced SURface Field รูปที่ 1 แสดงถึงรูปหน้าตัดของโครงสร้างพี-เอ็นไดโอดแบบรีเซิฟ 2 มิติ และสนามไฟฟ้าในกรณีที่ความหนาของชั้นเอพิตาซี่ (epitaxy) และแรงดันไบแอสมีค่าแตกต่างกัน [2] ซึ่งจากรูปจะเห็นว่าโครงสร้างแบบรีเซิฟนี้มีรอยต่อที่สำคัญอยู่ 2 รอยต่อ คือรอยต่อระหว่าง n^- กับ p^+ ในแนวตั้ง และรอยต่อระหว่าง n^- กับ p^- ในแนวนอน รูปที่ 1 (ก) เป็นกรณีที่ชั้นเอพิตาซี่ n^- หนา ทำให้เขตปลอดพาหะของรอยต่อแนวตั้ง ไม่ได้รับผลกระทบใดๆ จากเขตปลอดพาหะของรอยต่อแนวนอน ดังนั้นแรงดันพังทลายจึงถูกกำหนดด้วยสนามไฟฟ้า E_s ที่รอยต่อ p^+/n^- ในแนวตั้งเมื่อสนามไฟฟ้า E_s มีค่าเท่ากับสนามวิกฤต (Critical field) E_{cr} พอดี โดยค่าสนามวิกฤตคือ ค่าความเข็มของสนามไฟฟ้าที่ทำให้เกิดการพังทลายของรอยต่อ

รูปที่ 1 (ข) เป็นกรณีที่ชั้นเอพิตาซี่ n^- บางลง ทำให้เขตปลอดพาหะของรอยต่อแนวตั้ง p^+/n^- กว้างขึ้นจากผลกระทบของเขตปลอดพาหะของรอยต่อแนวนอน n^-/p^- ทำให้สนามไฟฟ้า E_s ที่แรงดันไบแอสเดียวกับแรงดันพังทลายในรูปที่ 1 (ก) มีค่าน้อยกว่าสนามวิกฤต E_{cr} กล่าวคือทำให้มีแรงดันพังทลายสูงกว่าในรูปที่ 1 (ก) โดยในกรณีนี้การพังทลายจะเกิดขึ้นที่รอยต่อแนวนอนเมื่อสนามไฟฟ้า E_b มีค่าเท่ากับสนามวิกฤต E_{cr} ดังรูปที่ 1 (ค) แต่ในกรณีที่ความหนาของชั้นเอพิตาซี่บางมาก จนเมื่อได้รับแรงดันไบแอสแล้วเกิดเขตปลอดพาหะทั่วทั้งชั้นเอพิตาซี่ n^- จะทำให้สนามไฟฟ้าที่บริเวณรอยต่อระหว่าง n^+/n^- มีความเข้มมากขึ้น ดังนั้นหากชั้นเอพิตาซี่บางมากเกินไป จะทำให้เกิดการพังทลายขึ้นที่รอยต่อ n^+/n^- นี้แทน ซึ่งจะทำให้แรงดันพังทลายของโครงสร้างรีเซิฟต่ำลง [2]

สิ่งที่สำคัญสำหรับโครงสร้างแบบรีเซิฟ คือความหนาของชั้นเอพิตาซี่ n^- และความหนาแน่นของสารเจือในชั้นเอพิตาซี่นั้น ซึ่งทำหน้าที่เป็นชั้นรีเซิฟ (RESURF layer) จากการคำนวณแบบ 2 มิติ ในกรณีที่ผลคูณของค่าทั้งสองมีค่าประมาณ 10^{12} ซม.$^{-2}$ จะทำให้สนามไฟฟ้าที่บริเวณผิวด้านบน คือที่รอยต่อ n^+/n^- และ p^+/n^- มีความสมมาตรดังในรูปที่ 1 (ค) ทำให้ได้โครงสร้างรีเซิฟที่มีแรงดันพังทลายสูงสุด [2]



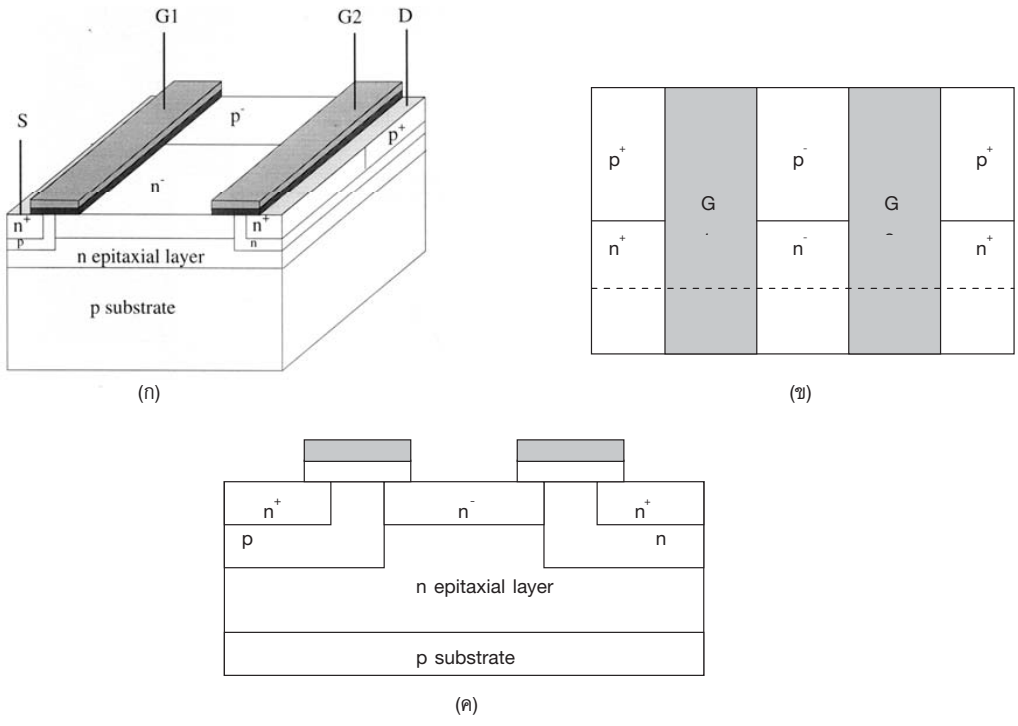
รูปที่ 1 รูปหน้าตัดของโครงสร้างพี-เอ็นไดโอดแบบรีเซิฟ (ก) กรณีที่ชั้นเอพิตาซี่หนา (แรงดันไบแอส 370 V) (ข) กรณีที่ชั้นเอพิตาซี่บาง (แรงดันไบแอส 370 V) (ค) กรณีที่ชั้นเอพิตาซี่บาง (แรงดันไบแอส 1150 V)

3. ดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติ

โครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่ที่นำเสนอในบทความฉบับนี้ เป็นโครงสร้างที่พัฒนาต่อจากโครงสร้างรีเซิฟ 3 มิติของกลุ่ม F. Udrea เพื่อให้สามารถนำไปสร้างเป็นอุปกรณ์จริงได้ง่ายขึ้น เช่นใช้การแยกโดดด้วยรอยต่อแทน SOI อีกทั้งได้ออกแบบโครงสร้างให้มีแรงดันพังทลายสูงขึ้น เช่นมีชั้นเดรนเอ็กเทนชั่นและฟิลด์เพรต เป็นต้น โดยชั้นเดรนเอ็กเทนชั่น หรือที่เรียกกันว่าชั้นเดรนที่ได้รับการโด๊ปสารแบบเจือจาง (Lightly doped drain : LDD) นั้น จะช่วยลดค่าความเข้มสูงสุดของสนามไฟฟ้าตรงบริเวณรอยต่อ จึงสามารถป้องกันการพังทลายก่อนเวลาอันสมควร (Premature breakdown) ได้ [12-13] ในขณะที่ฟิลด์เพรต เป็นโครงสร้างที่จะช่วยป้องกันการพังทลายก่อนเวลาอันสมควร [14-15] อันเนื่องมาจากปรากฏการณ์โค้งมนของรอยต่อ (Junction curvature effect) [16] และทำให้แรงดันพังทลายสูงขึ้นได้เช่นเดียวกัน โดยการพังทลายก่อนเวลาอันสมควรหมายถึง การพังทลายของรอยต่อ ซึ่งเกิดขึ้นก่อนที่ควรจะเป็นตามทฤษฎีพื้นฐานของรอยต่อ โดยมีสาเหตุส่วนใหญ่มาจากการที่บริเวณใดบริเวณหนึ่งของรอยต่อ มีลักษณะที่ผิดเพี้ยนไปจากลักษณะพื้นผิวที่ราบเรียบ เช่นเป็นมุมแหลม เป็นเหลี่ยม หรือโค้งเป็นรูปทรงกระบอก เป็นต้น

3.1 โครงสร้างของดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติ

โครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่นี้ มีชั้นรีเซิฟชนิดเอ็น (n-RESURF layer) ในมอสเฟตชนิดเอ็นแชนแนล (NMOS) วางสลับกับชั้นรีเซิฟชนิดพี (p-RESURF layer) ในมอสเฟตชนิดพีแชนแนล (PMOS) โดยรูปที่ 2 แสดงถึงโครงสร้างของดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่นี้โดยในรูปไม่ได้แสดงชั้นโลหะไว้ ซึ่งจากภาพ 3 มิติในรูปที่ 2 (ก) จะเห็นว่าดีมอสเฟตแบบรีเซิฟ 3 มิตินี้ประกอบด้วยดีมอสเฟต 2 ชนิด คือ PMOS และ NMOS เรียงสลับกันอยู่ รูปที่ 2 (ข) เป็นรูปมองจากด้านบน และรูปที่ 2 (ค) เป็นรูปหน้าตัดของ NMOS ตามแนวเส้น AB ในรูปที่ 2 (ข) โดยมีชั้น n^- ทำหน้าที่เป็นชั้นรีเซิฟชนิดเอ็น



รูปที่ 2 โครงสร้างดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่ (ก) รูป 3 มิติ (ข) รูปมองจากด้านบน (ค) รูปหน้าตัดตามแนวเส้น AB

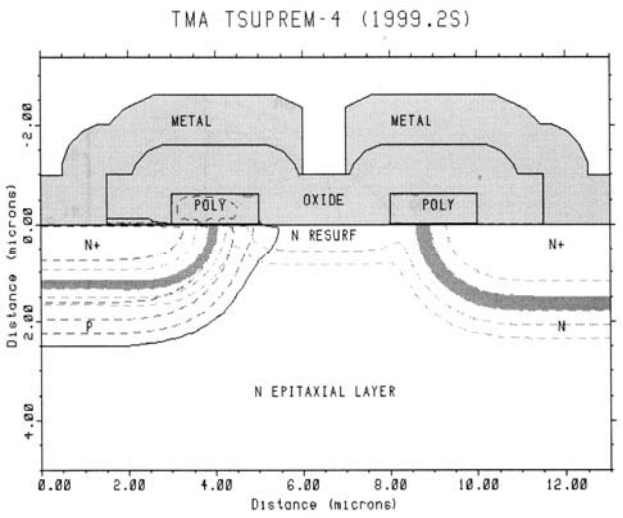
โครงสร้างที่นำเสนอในบทความนี้ ใช้แผ่นฐานรองที่มีชั้นเอพิตาซี่ชนิดเอ็นบนชั้นพีเพื่อการแยกโดด (isolation) [12][17] และส่วนที่เป็นชั้นรีเซิฟจะทำการโด๊ปสารเจือด้วยวิธีการฝังไอออน (ion implantation) แทนการใช้ชั้นเอพิตาซี่ในโครงสร้างรีเซิฟ 2 มิติ เนื่องจากสามารถควบคุมความหนาของชั้นและความหนาแน่นของสารเจือได้แม่นยำกว่า ในที่นี้ชั้นรีเซิฟคือชั้นบนสุดที่อยู่ระหว่างเกตทั้งสอง ซึ่งก็คือชั้น n^- ใน NMOS และชั้น p^- ใน PMOS ตามที่ได้กล่าวไปแล้วข้างต้น อีกทั้งโครงสร้างที่นำเสนอในบทความนี้ได้มีการออกแบบเพื่อเพิ่มประสิทธิภาพให้สูงขึ้น และช่วยทำให้กระบวนการสร้างและกระจกต้นแบบไม่ซับซ้อนมากนัก กล่าวคือชั้น p ข้างใต้ชั้น n^+ ซึ่งเป็นซอส (source) ของ NMOS จะทำหน้าที่เป็น p-base ให้กับ NMOS และในขณะเดียวกันก็ทำหน้าที่เป็นเดรนเอ็กเทนชั่นให้กับ PMOS และในลักษณะเดียวกันชั้น n ข้างใต้ชั้น n^+ ซึ่งเป็นเดรน (drain) ของ NMOS จะทำหน้าที่เป็นเดรนเอ็กเทนชั่น ให้กับ NMOS และในขณะเดียวกันก็ทำหน้าที่เป็น n-base ให้กับ PMOS

3.2 หลักการทำงานของดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติ

สาเหตุที่ดีมอสเฟตที่นำเสนอนี้มีลักษณะเป็นดับเบิ้ลเกตคือมีเกต 2 อันนั้น เนื่องจากต้องทำการควบคุมการเกิดแชนแนลของมอสเฟตทั้งชนิด PMOS และ NMOS กล่าวคือเกต1 (G1) จะทำหน้าที่ควบคุมการเกิดแชนแนลของ NMOS และเกต2 (G2) จะทำหน้าที่ควบคุมการเกิดแชนแนลของ PMOS การทำงานของ PMOS และ NMOS ในโครงสร้างที่นำเสนอนี้ ใช้หลักการทำงานเช่นเดียวกับโครงสร้างรีเซิฟ 2 มิติ กล่าวคือในกรณีของ PMOS นั้น G2 จะทำหน้าที่ควบคุมการเกิดแชนแนล โดยชั้น p^- จะทำหน้าที่เป็นชั้นรีเซิฟ คือเทียบได้กับชั้นเอพิตาซี่ในโครงสร้างรีเซิฟ 2 มิติ และในกรณีที่ชั้น p^- มีความหนาเหมาะสม เขตปลอดพาหะที่บริเวณรอยต่อระหว่าง p^- กับ n-base จะได้รับผลกระทบจากเขตปลอดพาหะที่บริเวณรอยต่อระหว่างชั้น p^- กับชั้นเอพิตาซี่ ทำให้แรงดันพังทลายสูงขึ้นตามหลักการของโครงสร้างรีเซิฟ และเนื่องจากโครงสร้างของมอสเฟตแบบรีเซิฟ 3 มิติ ประกอบด้วย PMOS เรียงสลับกับ NMOS ทำให้เขตปลอดพาหะที่บริเวณรอยต่อระหว่าง p^- กับ n-base ได้รับผลกระทบจากเขตปลอดพาหะที่บริเวณรอยต่อระหว่างชั้น p^- ของ PMOS กับชั้น n^- ของ NMOS ซึ่งจะทำให้สนามไฟฟ้ามีการกระจายตัวมากขึ้น และมีแรงดันพังทลายสูงขึ้น ซึ่งจากผลการจำลองของ F. Udrea แสดงให้เห็นว่าแนวคิดนี้มีประสิทธิผลจริง [10]

4. การจำลองกระบวนการสร้าง

สิ่งที่สำคัญสำหรับโครงสร้างแบบรีเซิฟคือ ความหนาของชั้นรีเซิฟและความหนาแน่นของสารเจือในชั้นรีเซิฟ ซึ่งต้องได้รับการควบคุมอย่างแม่นยำให้ผลคูณของทั้งสองมีค่าประมาณ 10^{12} ซม.$^{-2}$ และสิ่งที่สำคัญอีกอย่างหนึ่งสำหรับดีมอสเฟตคือความหนาแน่นของสารเจือในชั้น n^- base และชั้น p-base ซึ่งควรจะต้องมีค่าประมาณ 1,017 ซม.$^{-3}$ เพื่อให้ได้ค่าแรงดันขีดเริ่มเปลี่ยน (threshold voltage) ที่ใช้กันทั่วไปในวงจรรวมแบบกำลังคือ 2-3 โวลต์ [18] ดังนั้นเพื่อให้กระบวนการสร้างเป็นไปอย่างมีประสิทธิภาพและเพื่อให้ได้โครงสร้างดีมอสเฟตแบบรีเซิฟ 3 มิติตามต้องการ ผู้วิจัยจึงได้ทำการจำลองกระบวนการสร้างด้วย TSUPREM4 ซึ่งเป็นซอฟต์แวร์สำหรับจำลองกระบวนการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำโดยเฉพาะ โดยผลลัพธ์ของการจำลองได้แสดงไว้ในรูปที่ 3 ซึ่งแสดงถึงภาพหน้าตัดของส่วนที่เป็นโครงสร้าง NMOS ภายในโครงสร้างดีมอสเฟตแบบรีเซิฟ 3 มิติหลังจากเสร็จสิ้นกระบวนการสร้าง

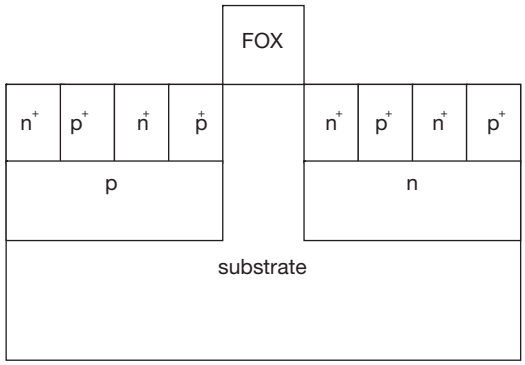


รูปที่ 3 ผลของการจำลองกระบวนการสร้างของดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่

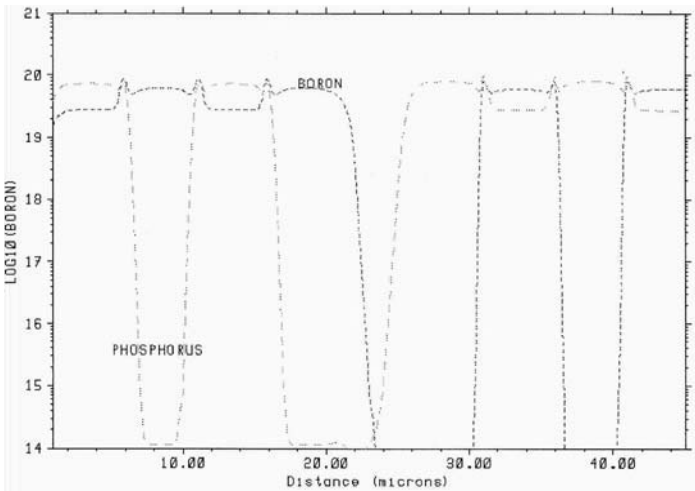
กระบวนการสร้างในที่นี้ ได้รับการออกแบบให้ใช้กระบวนการเซว์ฟอะไลด์ (self-aligned) คือสร้างเกตก่อนซอสและเดรน เพื่อลดขั้นตอนการใช้กระจกต้นแบบ และเพื่อให้ใช้พื้นที่ซิลิคอนได้อย่างคุ้มค่า เงื่อนไขของกระบวนการสร้างที่ใช้ในการจำลองมีดังต่อไปนี้คือ อันดับแรกสร้างชั้นเกตออกไซด์ (gate oxide) หนา 250 อังสตรอมด้วยกระบวนการออกซิเดชั่นแบบแห้ง (dry oxidation) ที่อุณหภูมิ 1,000 องศา เป็นเวลา 20 นาที แล้วสร้างชั้นโพลิซิลิคอน (polysilicon) หนา 0.6 ไมครอนสำหรับเป็นเกตด้วยกระบวนการ CVD หลังจากนั้นใช้กระบวนการฝังไอออนด้วยโบรอนที่โดส (dose) $2x10^{15}$ ซม.$^{-2}$ ซึ่งหมายถึงการฝังไอออนด้วยความหนาแน่นต่อพื้นที่ $2x10^{15}$ /ซม.^{2} โดยใช้พลังงาน 50 keV สร้างชั้น p สำหรับเป็น p-base สำหรับ NMOS และใช้กระบวนการฝังไอออนด้วยฟอสฟอรัสที่โดส $2x10^{15}$ ซม.$^{-2}$ ด้วยพลังงาน 50 keV สร้างชั้น n สำหรับเป็นเดรนเอ็กเทนชั่นสำหรับ NMOS แล้วทำการแอลนีล (anneal) ที่อุณหภูมิ 800 ℃ เป็นเวลา 30 นาทีเพื่อฟื้นสภาพของผลึกที่ได้รับความเสียหายจากการยิงไอออน แล้วตามด้วยกระบวนการไดร์ฟอิน (drive-in) ที่อุณหภูมิ 1,100 ℃ เป็นเวลา 60 นาที เพื่อให้สารเจือแพร่กระจายลงไปลึกยิ่งขึ้น

สำหรับชั้น p^+ และชั้น n^+ ซึ่งทำหน้าที่เป็นซอสและเดรนนั้น ได้ใช้กระบวนการฝังไอออนด้วยฟอสฟอรัสที่โดส $5x10^{15}$ ซม.$^{-2}$ ด้วยพลังงาน 50 keV สำหรับชั้น n^+ และใช้กระบวนการฝังไอออนด้วยโบรอนที่โดส $5x10^{15}$ ซม.$^{-2}$ ด้วยพลังงาน 50 keV สำหรับชั้น p^+ หลังจากนั้นทำการแอลนีลที่อุณหภูมิ 550 ℃ เป็นเวลา 30 นาที แล้วตามด้วยกระบวนการไดร์ฟอินที่อุณหภูมิ 950 ℃ เป็นเวลา 30 นาที ขั้นตอนต่อไปเป็นการสร้างชั้น n-RESURF และชั้น p-RESURF ซึ่งใช้กระบวนการฝังไอออนด้วยโบรอนสำหรับ p-RESURF และด้วยฟอสฟอรัสสำหรับ n-RESURF ที่โดส $2x10^{12}$ ซม.$^{-2}$ ด้วยพลังงาน 80 keV หลังจากนั้นทำการแอลนีลที่อุณหภูมิ 650 ℃ เป็นเวลา 30 นาที แล้วตามด้วยกระบวนการไดร์ฟอินที่อุณหภูมิ 1,100 ℃ เป็นเวลา 30 นาที แล้วจึงทำการสร้างชั้นฟิลด์ออกไซด์ (field oxide) หนา 1 ไมครอน เพื่อป้องกันพื้นผิวและเป็นฉนวนกั้นกับชั้นโลหะ และท้ายสุดเป็นการสร้างชั้นโลหะหนา 1 ไมครอน ซึ่งเป็นอลูมิเนียมผสมกับซิลิคอนร้อยละ 1 เพื่อป้องกันการเกิด สไปกิงค์ (spiking) ที่ซอสและเดรน ซึ่งคือการที่โลหะทะลุผ่านซอสและเดรนลงไปยังฐานรอง

เนื่องจากโครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิตินี้ มีการเรียงสลับกันระหว่าง PMOS และ NMOS ดังนั้นจึงได้ทำการจำลองด้วยซอฟต์แวร์ โดยใช้กระบวนการสร้างเดียวกันกับที่กล่าวมาแล้วข้างต้น เพื่อดูการกระจายตัวของสารเจือในโครงสร้างที่มีการเรียงสลับของชั้น p^+ และชั้น n^+ บนชั้น p และชั้น n ดังแสดงในรูปที่ 4 ด้วย ซึ่ง FOX ในรูปหมายถึงฟิลด์ออกไซด์ (field oxide) ทำหน้าที่เป็นเซว์ฟอะไลด์มาส์ค (self-aligned mask) สำหรับกระบวนการฝังไอออนคล้ายกับเกตในโครงสร้างจริง และมีความกว้าง 5 ไมครอน โดยในโครงสร้างที่ทำการจำลองนี้ ชั้น p^+ และชั้น n^+ มีความกว้าง 5 ไมครอน และใช้เงื่อนไขในการสร้างชั้น p^+, n^+, p, n เช่นเดียวกับที่กล่าวไปแล้วข้างต้น ผลของการจำลองได้แสดงไว้ในรูปที่ 5 ซึ่งจะเห็นได้ว่า ในกรณีที่กำหนดให้ความกว้างของแต่ละชั้นเท่ากับ 5 ไมครอน โครงสร้างเรียงสลับของชั้น p^+ และชั้น n^+ จะปรากฏอย่างชัดเจน โดยที่ความหนาแน่นของสารเจือสูงสุดของทั้งชั้น p^+ และชั้น n^+ มีค่าประมาณ $8x10^{19}$ ซม.$^{-3}$ ซึ่งเพียงพอสำหรับการเกิดเป็นรอยต่อโอห์มมิกสำหรับซอสและเดรน



รูปที่ 4 โครงสร้างที่มีการเรียงสลับของชั้น p^+ และชั้น n^+ สำหรับการจำลอง



รูปที่ 5 ผลของการจำลองกระบวนการสร้างโครงสร้างในรูปที่ 5 เมื่อความกว้างของชั้น p^+ และชั้น n^+ เท่ากับ 5 ไมครอน

5. การออกแบบกระจกต้นแบบ

ในการนำโครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่มาใช้งานจริงนั้น จำเป็นอย่างยิ่งที่ลักษณะการเรียงสลับกันของชั้นรีเซิฟชนิดพีและชั้นรีเซิฟชนิดเอ็นจะต้องเป็นไปอย่างต่อเนื่อง อีกทั้งต้องคำนึงถึงตำแหน่งของขั้วโลหะที่จะต่อเข้าไปยังเกตทั้งสอง รวมทั้งซอสและเดรนของ NMOS และ PMOS ดังนั้นการออกแบบกระจกต้นแบบที่เหมาะสมจึงเป็นองค์ประกอบสำคัญอีกอย่างหนึ่ง ในการสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิตินี้ให้มีแรงดันพังทลายสูงตามทฤษฎี ซึ่งในงานวิจัยชิ้นนี้ เราได้นำเสนอลักษณะการเรียงสลับของชั้นรีเซิฟชนิดพีและชั้นรีเซิฟชนิดเอ็น โดยใช้โครงสร้างแบบลู่วิ่ง (racetrack structure) ดังแสดงในรูปที่ 6 (ข) โดยข้อดีของโครงสร้างแบบลู่วิ่งคือ ทำให้การเรียงสลับของชั้นรีเซิฟชนิดพี และชั้นรีเซิฟชนิดเอ็นดำเนินไปได้อย่างต่อเนื่อง โดยลักษณะโค้งมนตรงบริเวณปลายทั้งสองข้างของลู่วิ่ง จะช่วยป้องกันการพังทลายก่อนเวลาอันสมควร ซึ่งอาจเกิดขึ้นได้หากเราใช้โครงสร้างรูปสี่เหลี่ยมที่มีมุมแหลม ทั้งนี้เนื่องจากค่าความเข้มสูงสุดของสนามไฟฟ้าตรงบริเวณมุมแหลมจะสูงกว่าบริเวณอื่นๆ มาก

จากผลของการจำลองกระบวนการสร้างในหัวข้อที่ 4 ได้ทำการออกแบบกระจกต้นแบบทั้งหมด 9 แผ่น โดยกระจกต้นแบบแผ่นที่ 1 ถูกออกแบบเพื่อสร้างชั้นเกตตามรูปที่ 6 (ก) ซึ่งจะเห็นว่ามีลักษณะเป็นลู่วิ่ง 2 ชั้นซ้อนกันอยู่ โดยลู่วิ่งชั้นในทำหน้าที่เป็นเกตสำหรับ PMOS และลู่วิ่งชั้นนอกทำหน้าที่เป็นเกตสำหรับ NMOS ซึ่งตรงกับ G2 และ G1 ในรูปที่ 2 (ก) ตามลำดับ ลักษณะพิเศษอย่างหนึ่งของชั้นเกตนี้คือ ได้รับการออกแบบให้บริเวณสำหรับเชื่อมต่อกับขั้วโลหะที่ยื่นออกมาจากลู่วิ่งมีลักษณะเป็นเส้นแคบๆ 5 เส้นคล้ายนิ้วมือ แทนที่จะให้เป็นแผ่นใหญ่ 1 แผ่น โดยในที่นี้ความกว้างของเกตทั้งหมดรวมทั้งบริเวณสำหรับเชื่อมต่อกับขั้วโลหะ ถูกกำหนดให้มีความกว้างเท่ากับ 2 ไมครอน สาเหตุที่บริเวณสำหรับเชื่อมต่อกับขั้วโลหะได้รับการออกแบบให้เป็นเช่นนี้เนื่องจากเราได้ออกแบบกระบวนการสร้างให้เป็นแบบเซล์ฟอไลด์ คือสร้างเกตก่อนทำการโด๊ปสารเจือ ดังนั้นหากบริเวณสำหรับเชื่อมต่อกับขั้วโลหะมีลักษณะเป็นแผ่นใหญ่ 1 แผ่น จะไปปิดกั้นบริเวณนั้น ทำให้บริเวณนั้นไม่สามารถโด๊ปสารเจือได้ และทำให้การเรียงสลับของชั้นรีเซิฟชนิดพีและชั้นรีเซิฟชนิดเอ็นไม่ต่อเนื่อง และอาจเกิดการพังทลายก่อนเวลาอันควรได้ที่บริเวณนั้น แต่หากบริเวณสำหรับเชื่อมต่อกับขั้วโลหะมีลักษณะเป็นเส้นแคบๆ สารเจือจะสามารถแพร่มายังบริเวณด้านล่างได้ เมื่อได้รับความร้อนจากกระบวนการไดร์ฟอิน ซึ่งมีอุณหภูมิสูงและเวลานานพอควร ทั้งนี้เนื่องจากผลการจำลองกระบวนการสร้างแสดงให้เห็นว่า การแพร่หลังจากกระบวนการไดร์ฟอินจะมีระยะทางประมาณ 2 ไมครอน และการใช้เส้นแคบๆ 5 เส้นจะทำให้ได้การนำไฟฟ้าที่ดีกว่าการใช้เส้นแคบๆ เพียงเส้นเดียว โดยระยะห่างระหว่างแต่ละเส้นถูกออกแบบให้มีความกว้างเท่ากับ 5 ไมครอน

รูปที่ 6 (ข) แสดงถึงกระจกต้นแบบแผ่นที่ 2 ซึ่งถูกออกแบบสำหรับสร้างชั้น p-base ของ NMOS และชั้นเดรนเอ็กเทนชั่นสำหรับ PMOS โดยจะทับซ้อนกับเกตชั้นนอกอยู่ 1 ไมครอนเพื่อใช้เกตเป็นมาสค์ และในลักษณะที่คล้ายกัน รูปที่ 6 (ค) แสดงถึงกระจกต้นแบบแผ่นที่ 3 ซึ่งถูกออกแบบสำหรับสร้างชั้น n-base ของ PMOS และชั้นเดรนเอ็กเทนชั่นสำหรับ NMOS โดยจะทับซ้อนกับเกตชั้นในอยู่ 1 ไมครอนเพื่อใช้เกตเป็นมาสค์

(ก) (ข) (ค)

รูปที่ 6 (ก) กระจกต้นแบบแผ่นที่ 1 สำหรับชั้นเกต (ข) กระจกต้นแบบแผ่นที่ 2 สำหรับชั้น p-base (ค) กระจกต้นแบบแผ่นที่ 3 สำหรับ n-base

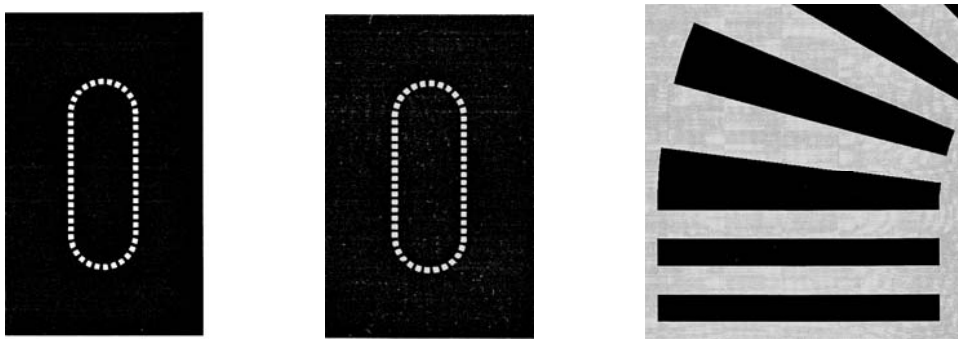
รูปที่ 7 (ก) แสดงถึงกระจกต้นแบบแผ่นที่ 4 สำหรับสร้างชั้นซอสและเดรนของ NMOS โดยซอสคือบริเวณที่เห็นเป็นจุดเล็กๆ ทั้งสองด้าน ซึ่งตรงกับบริเวณด้านนอกของเกตชั้นนอก ในขณะที่เดรนคือพื้นที่ขนาดใหญ่ที่อยู่ตรงกลางรูป ซึ่งตรงกับบริเวณด้านในของเกตชั้นใน โดยถูกออกแบบให้มีขนาดใหญ่ เพื่อให้ได้รอยต่อโอห์มิคที่ดี สาเหตุที่ซอสและเดรนไม่มีส่วนที่โค้งมน เป็นลักษณะโครงสร้างลู่วิ่งดังเช่นเกต p-base และ n-base ในรูปที่ 6 เป็นเพราะซอสและเดรนไม่ใช่ส่วนสำคัญ ที่เป็นตัวกำหนดการพังทลายของรอยต่อ ดังนั้นจึงถูกออกแบบมาให้มีเฉพาะส่วนที่เป็นเส้นตรงของลู่วิ่ง เพื่อให้สะดวกในการวัดคุณสมบัติกระแสแรงดันหลังจากที่สร้างเสร็จแล้ว ส่วนรูปที่ 7 (ข) แสดงถึงกระจกต้นแบบแผ่นที่ 5 สำหรับสร้างชั้นซอสและเดรนของ PMOS ซึ่งใช้หลักการในการออกแบบเช่นเดียวกับกระจกต้นแบบแผ่นที่ 4 แต่จะกลับด้านกัน โดยซอสจะเป็นบริเวณที่เห็นเป็นจุดเล็กๆ ด้านใน ซึ่งตรงกับบริเวณด้านในของเกตชั้นใน และเดรนจะเป็นบริเวณขนาดใหญ่ทั้งสองด้าน ซึ่งตรงกับบริเวณด้านนอกของเกตชั้นนอก

รูปที่ 8 (ก) แสดงถึงกระจกต้นแบบแผ่นที่ 6 สำหรับสร้างชั้นรีเซิฟชนิดเอ็นใน NMOS ซึ่งมีตำแหน่งอยู่ระหว่างเกตทั้งสอง และเนื่องจากการเรียงสลับกันของชั้นรีเซิฟเป็นสิ่งสำคัญ ที่เป็นตัวกำหนดการพังทลายของรอยต่อ ดังนั้นจึงต้องเรียงสลับกันตลอดเป็นโครงสร้างลู่วิ่ง ส่วนรูปที่ 8 (ข) แสดงถึงกระจกต้นแบบแผ่นที่ 7 สำหรับสร้างชั้นรีเซิฟชนิดพีใน PMOS ซึ่งมีตำแหน่งอยู่ระหว่างเกตทั้งสองเช่นเดียวกัน และมีรูปแบบการเรียงสลับเช่นเดียวกับกระจกต้นแบบแผ่นที่ 6 แต่ตำแหน่งจะตรงกันข้ามกันสลับกันพอดี

สิ่งหนึ่งที่ต้องคำนึงถึงสำหรับกระจกต้นแบบแผ่นที่ 6 และ 7 นี้คือ ความแตกต่างระหว่างความกว้างด้านในและด้านนอกของแต่ละแถบตรงบริเวณส่วนโค้ง ซึ่งจะยิ่งเพิ่มมากขึ้นตามความรัศมีของส่วนโค้งที่เพิ่มขึ้นดังแสดงในรูปที่ 8 (ค) ซึ่งหมายความว่าปริมาณของพาหะบริเวณด้านนอกจะมากกว่าด้านใน และความแตกต่างนี้จะเพิ่มมากขึ้นโดยแปรผันตามขนาดของรัศมี ซึ่งความแตกต่างของปริมาณพาหะนี้ อยู่นอกเหนือหลักการของโครงสร้างรีเซิฟ 3 มิติตามที่ได้อธิบายไว้ในหัวข้อที่ 3 ซึ่งทำให้เป็นไปได้ว่าอาจเกิดการพังทลายก่อนเวลาอันสมควร ดังนั้นจึงควรมีการศึกษาเพิ่มเติมเรื่องผลกระทบของขนาดของรัศมีที่มีต่อแรงดันพังทลายต่อไปในอนาคต

(ก) (ข)

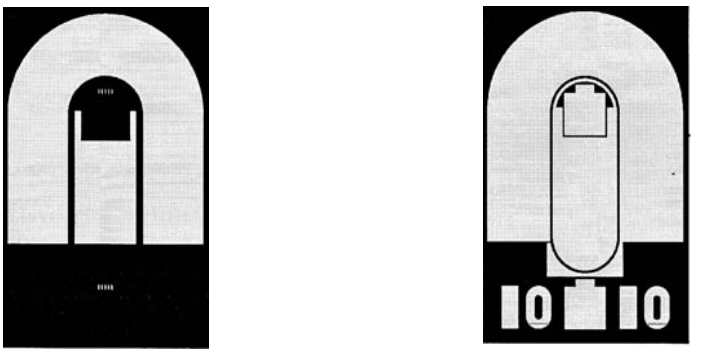
รูปที่ 7 (ก) กระจกต้นแบบแผ่นที่ 4 สำหรับชั้นซอสและเดรนของ NMOS (ข) กระจกต้นแบบแผ่นที่ 5 สำหรับชั้นซอสและเดรนของ PMOS



(ก) (ข) (ค)

รูปที่ 8 (ก) กระจกต้นแบบแผ่นที่ 6 สำหรับชั้น n-RESURF (ข) กระจกต้นแบบแผ่นที่ 7 สำหรับ p-RESURF (ค) ภาพขยายลักษณะตรงส่วนมุมของกระจกต้นแบบแผ่นที่ 7

รูปที่ 9 (ก) แสดงถึงกระจกต้นแบบแผ่นที่ 8 สำหรับการเปิดช่องชั้นฟิลด์ออกไซด์เพื่อสร้างรอยสัมผัสกับชั้นโลหะ และรูปที่ 9 (ข) แสดงถึงกระจกต้นแบบแผ่นที่ 9 สำหรับการสร้างชั้นโลหะซึ่งมีทั้งหมด 4 แห่งด้วยกันคือ ชั้นโลหะส่วนแรกที่อยู่ด้านนอกสุดที่เป็นรูปเกือกม้าคว่ำจะทำหน้าที่เป็นขั้วสำหรับซอสของ NMOS และเดรนของ PMOS ซึ่งถึงแม้ว่าซอสและเดรนจะมีอยู่เฉพาะตรงส่วนที่เป็นเส้นตรงของโครงสร้าง ผู้วิจัยได้ออกแบบให้ขั้วโลหะต่อเชื่อมกันกันทั้ง 2 ฝั่ง ทั้งนี้เพื่อให้การป้อนแรงดันไบแอสให้กับซอสและเดรนของทั้ง 2 ฝั่งเกิดขึ้นพร้อมกันอย่างสมบูรณ์แบบ ชั้นโลหะส่วนที่สองซึ่งมีขนาดใหญ่ อยู่ด้านในตรงกลางของโครงสร้าง จะทำหน้าที่เป็นขั้วสำหรับซอสของ PMOS และเดรนของ NMOS และจากรูปจะสังเกตเห็นเส้นโค้งแคบๆ ซึ่งคลุมไปตามแนวเกตด้านบน โดยส่วนนี้จะทำหน้าที่เป็นฟิลด์เพรต ซึ่งจะช่วยเพิ่มแรงดันพังทลายได้ ตามที่ได้กล่าวไว้แล้วในหัวข้อที่ 3 ชั้นโลหะส่วนที่สามและสี่ มีลักษณะคล้ายภาพมองจากด้านข้างของถ่านไฟฉาย โดยชั้นโลหะส่วนที่สามด้านบนจะทำหน้าที่เป็นขั้วไฟฟ้าสำหรับเกตชั้นใน และชั้นโลหะส่วนที่สี่ด้านล่างจะทำหน้าที่เป็นขั้วไฟฟ้าสำหรับเกตชั้นนอก โดยจะสัมผัสกับเส้นแคบๆ 5 เส้นของเกตทั้งสอง ตามที่ได้แสดงไว้ในรูปที่ 6 (ก) โดยผ่านทางช่องสัมผัสที่ได้เปิดไว้ตามรูปที่ 9 (ก) ส่วนเลขสิบ 2 ตัวที่อยู่บริเวณด้านล่างของกระจกต้นแบบแผ่นที่ 9 มีไว้สำหรับการอ้างอิงในการวิจัยนี้



(ก) (ข)

รูปที่ 9 (ก) กระจกต้นแบบแผ่นที่ 8 สำหรับการเปิดช่องสัมผัสกับชั้นโลหะ
(ข) กระจกต้นแบบแผ่นที่ 9 สำหรับสร้างชั้นโลหะ

6. สรุป

โครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่ได้ถูกพัฒนาต่อจากโครงสร้างรีเซิฟ 3 มิติของกลุ่ม F. Udrea ซึ่งผลการจำลองจากซอฟต์แวร์ได้แสดงให้เห็นว่ามีประสิทธิผลในการเพิ่มแรงดันพังทลายให้สูงขึ้น เมื่อเปรียบเทียบกับโครงสร้างรีเซิฟ 2 มิติ โดยการพัฒนาในงานวิจัยชิ้นนี้มีจุดประสงค์ เพื่อให้สามารถนำไปสร้างเป็นอุปกรณ์เพื่อประยุกต์ใช้งานจริงได้ง่ายขึ้น และมีแรงดันพังทลายที่สูงขึ้น เช่นใช้การแยกโดดด้วยรอยต่อแทนการแยกโดดด้วย SOI และได้มีการออกแบบโครงสร้างให้มีแรงดันพังทลายสูงขึ้น เช่นมีชั้นเดรนเอ็กเทนชั่น และฟิลด์เพลตซึ่งทำหน้าที่ป้องกันการพังทลายก่อนเวลาอันสมควร อีกทั้งได้รับการปรับปรุง ให้กระบวนการสร้างและกระจกต้นแบบไม่ซับซ้อน โดยได้ทำการจำลองกระบวนการสร้าง สำหรับโครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิตินี้ และประสบความสำเร็จในการหาเงื่อนไขของกระบวนการสร้างที่เหมาะสมสำหรับโครงสร้างรีเซิฟ นอกจากนี้ยังได้ทำการจำลองโครงสร้างเรียงสลับของชั้น p^+ และชั้น n^+ ซึ่งผลของการจำลองแสดงให้เห็นว่า สำหรับกระบวนการสร้างที่ออกแบบไว้นี้ มีความเหมาะสมสำหรับใช้ในการสร้างอุปกรณ์จริงต่อไปในอนาคต และเมื่อความกว้างของชั้น p^+ และชั้น n^+ มีค่า 5 ไมครอน จะทำให้ปรากฏเป็นชั้น p^+ และชั้น n^+ ที่ชัดเจน และความหนาแน่นของสารเจือสูงสุดของทั้งชั้น p^+ และชั้น n^+ มีค่าประมาณ $8x10^{19}$ ซม.$^{-3}$ ซึ่งเพียงพอ สำหรับการเกิดเป็นรอยต่อโอห์มมิกสำหรับซอสและเดรน อีกทั้งผู้วิจัยได้นำเสนอ กระจกต้นแบบที่จำเป็นในการสร้างโครงสร้างดับเบิ้ลเกตดีมอสเฟตแบบรีเซิฟ 3 มิติชนิดใหม่นี้ตามกระบวนการสร้างที่ได้จำลองไว้ ซึ่งมีกระจกต้นแบบทั้งหมด 9 แผ่น โดยได้มีการออกแบบให้มีลักษณะเป็นโครงสร้างลู่วิ่ง และได้เสนอแนวคิดในการให้บริเวณสำหรับเชื่อมต่อระหว่างเกตกับขั้วโลหะ มีลักษณะเป็นเส้นที่มีความกว้าง 2 ไมครอน จำนวน 5 เส้น แทนการให้มีลักษณะเป็นแผ่นใหญ่ 1 แผ่น ซึ่งจะช่วยให้สามารถโด๊ปสารเจือตรงบริเวณนั้นได้ตามปรกติ สำหรับขั้นต่อไปเพื่อให้งานวิจัยนี้สมบูรณ์ยิ่งขึ้นนั้น ควรมีการจำลองโครงสร้างด้วยซอฟต์แวร์เฉพาะทาง หรือสร้างโครงสร้างนี้ขึ้นมาเพื่อตรวจสอบคุณลักษณะทางไฟฟ้าต่อไป

7. เอกสารอ้างอิง

1. Udrea, F., 2002, “Advanced 3D RESURF Devices for Power Integrated Circuits”, *Proceedings of International Semiconductor Conference*, CAS, Vol. 2, pp. 229-238.

2. Appels, J. A. and Vaes, H. M. J., 1979, “High Voltage Thin Layer Devices (RESURF Devices)”, *Technical Digest of IEEE International Electron Devices Meeting*, IEDM., pp. 238-241.

3. Ludikhuize, A. W., 2000, “A Review of RESURF Technology”, *Proceedings of International Symposium on Power Semiconductor Devices and*

IC's, ISPSD, pp. 11-18.

4. Khemka, V., Parthasarathy, V., Zhu, R., and Bose, A., "A Floating RESURF (FRESURF) LD-MOSFET Device Concept", *IEEE Electron Device Letters*, Vol. 24, No. 10, 2003, pp. 664-666.

5. Xie, J. and Han, Y., 2001, "A Novel RESURF LDMOS With Embedded CB-Layer", *Proceedings of International Conference on Solid-State and Integrated-Circuit Technology*, ICSICT, Vol. 1, pp. 174-177.

6. Noborio, M., Suda, J. and Kimoto, T., 2007, "4H-SiC Lateral Double RESURF MOSFETs with Low On-Resistance", *IEEE Transactions on Electron Devices*, Vol. 54, No. 5, pp. 1216-1223.

7. Saks, N. S., Mani, S. S., Agarwal, A. K. and Ancona, M. G., 1999, "A 475-V High-Voltage 6H-SiC Lateral MOSFET", *IEEE Electron Device Letters*, Vol. 20, No. 8, pp. 431-433.

8. Banerjee, S., Cow, T. P. and Gutmann, R. J., 2002, "1300-V 6H-SiC Lateral MOSFETs With Two RESURF Zones", *IEEE Electron Device Letters*, Vol. 23, No. 10, pp. 624-626.

9. Karmalkar, S., Deng, J., Shur, M. S. and Gaska, R., 2001, "RESURF AlGaN/GaN HEMT for High Voltage Power Switching", *IEEE Electron Device Letters*, Vol. 22, No. 10, pp. 373-375.

10. Udrea, F., Popescu, A. and Milne, W. I., 1998, "3D RESURF Double-gate MOSFET: A Revolutionary Power Device Concept", *Electronics Letters*, Vol. 34, No. 8, pp. 808-811.

11. Pathirana, G. P. V., Udrea, F., Ng, R., Garner, D. M. and Amaratunga, G. A., 2003, "3D-RESURF SOI LDMOSFET For RF Power Amplifiers", *Proceedings of International Symposium on Power Semiconductor Devices and IC's*, ISPSD, pp. 278-281.

12. Sze, S. M., 1988, *VLSI Technology, 2nd Edition*, McGraw-Hill, New York, pp. 55-57.

13. Streetman, B. G. and Banerjee, S., 2000, *Solid State Electronic Devices, 5th Edition*, Prentice Hall, New Jersey, pp. 423-437.

14. Baliga, B. J., 2005, *Silicon Carbide Power Devices*, World Scientific, New Jersey, pp. 57-60.

15. Goud, C. B. and Bhat, K. N., 1992, "Breakdown Voltage of Field Plate and Field-Limiting Ring Techniques : Numerical Comparison", *IEEE Transactions on Electron Devices*, Vol. 39, No. 7, pp. 1768-1770.

16. Sze, S. M., 1981, *Physics of Semiconductor Devices, 2nd Edition*, John Wiley & Sons, New York, pp. 106.

17. Taur Y. and Ning, T. H., 1998, *Fundamental of Modern VLSI Devices*, Cambridge University Press, Cambridge, UK, pp. 439-440.

18. Edited by Sze, S. M., 1998, *Modern Semiconductor Device Physics*, John Wiley & Sons, pp. 184-189.